



**Hi309a**

## **产品简介**

文档版本 01

发布日期 2025-10-30

版权所有 © 海思技术有限公司2026。保留一切权利。

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

## 商标声明



**HISILICON**、海思和其他海思商标均为海思技术有限公司的商标。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

## 注意

您购买的产品、服务或特性等应受海思公司商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，海思公司对本文档内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

## 海思技术有限公司

地址：上海市青浦区虹桥港路2号101室 邮编：201721

网址：<https://www.hisilicon.com/cn/>

客户服务邮箱：[support@hisilicon.com](mailto:support@hisilicon.com)



# 前言

## 概述

本文档提供Hi309a系列产品的功能简介。

## 产品版本

与本文档相对应的产品版本如下。

| 产品名称   | 产品版本 |
|--------|------|
| Hi309a | -    |

## 下单料号

PanguM900NPHi309a。

## 读者对象

本文档主要适用于以下工程师：

- 技术支持工程师。
- 软件开发工程师。
- 硬件开发工程师。

## 符号约定

在本文中可能出现下列标志，它们所代表的含义如下。

| 符号                                                                                            | 说明                             |
|-----------------------------------------------------------------------------------------------|--------------------------------|
|  <b>危险</b> | 表示如不避免则将会导致死亡或严重伤害的具有高等级风险的危害。 |



| 符号                                                                                   | 说明                                                                     |
|--------------------------------------------------------------------------------------|------------------------------------------------------------------------|
|  警告 | 表示如不可避免则可能导致死亡或严重伤害的具有中等级风险的危害。                                        |
|  注意 | 表示如不可避免则可能导致轻微或中度伤害的具有低等级风险的危害。                                        |
|  须知 | 用于传递设备或环境安全警示信息。如不可避免则可能会导致设备损坏、数据丢失、设备性能降低或其他不可预知的结果。<br>“须知”不涉及人身伤害。 |
|  说明 | 对正文中重点信息的补充说明。<br>“说明”不是安全警示信息，不涉及人身、设备及环境伤害信息。                        |

## 修订记录

| 修订日期       | 版本    | 修订说明                     |
|------------|-------|--------------------------|
| 2025-02-06 | 00B01 | 第1次临时版本发布。               |
| 2025-05-13 | 00B02 | 第2次临时版本发布。<br>修改丝印和下单料号。 |
| 2025-10-30 | 01    | 第1次正式版本发布。               |



# 目录

|                     |    |
|---------------------|----|
| 前言.....             | i  |
| 1 Hi309a 产品简介.....  | 1  |
| 1.1 概述.....         | 1  |
| 1.2 功能描述.....       | 2  |
| 1.2.1 处理器特性.....    | 3  |
| 1.2.2 存储特性.....     | 4  |
| 1.2.3 加速器特性.....    | 4  |
| 1.2.4 接口描述.....     | 5  |
| 1.2.5 安全特性.....     | 5  |
| 1.2.6 遵从的标准与协议..... | 6  |
| 1.3 电气特性.....       | 9  |
| 1.4 订购须知.....       | 10 |



## 插图目录

|                   |   |
|-------------------|---|
| 图 1-1 整芯片逻辑图..... | 2 |
|-------------------|---|



## 表格目录

|                             |    |
|-----------------------------|----|
| 表 1-1 功能描述.....             | 2  |
| 表 1-2 Hi309a 封装尺寸和订购须知..... | 10 |



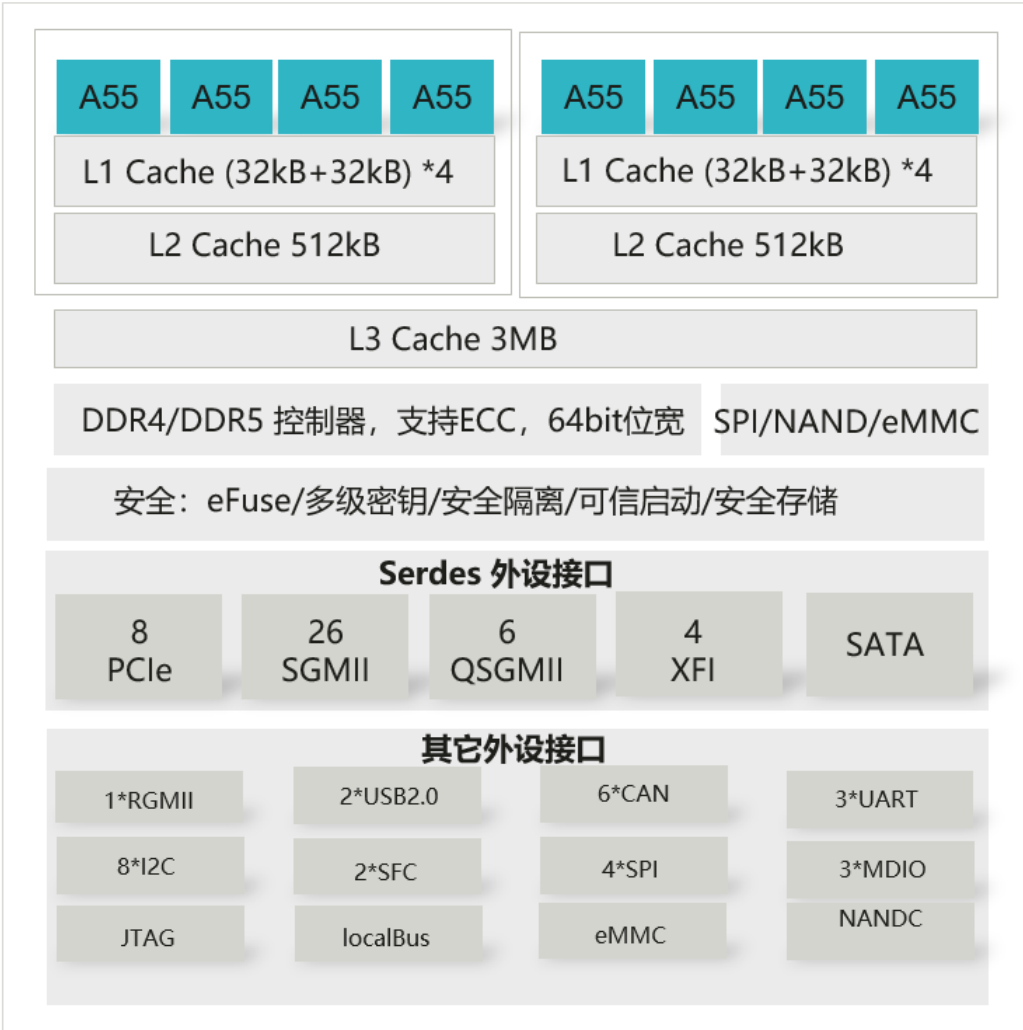
# 1 Hi309a 产品简介

## 1.1 概述

Hi309a是海思面向通信、工控等领域推出的多核处理器方案，主要应用于交换机、网关等网络设备场景，包括两组最高支持2.2GHz的四核A55处理器，总计八核A55。集成了1通道DDR4/DDR5，速率最高可达2666/3200MT/s；为了减小操作延迟和保证数据一致性，提供了多级Cache结构和基于硬件的全局数据一致性解决方案；为了加速业务处理能力及留出更多的CPU处理性能以支持灵活的业务扩展，集成了网络通讯应用所需要的多种加速引擎，包括硬件包解析、硬件队列管理、硬件QoS管理、硬件缓存管理，及IPSec、HPRE安全处理等。集成了包括XGE、GE等在内多种网络接口，支持板内、背板、光模块等多种连接；此外还集成了丰富的通用处理器接口，包括PCIe、USB、SATA、Local Bus、SPI、UART等。



图 1-1 整芯片逻辑图



1.2 功能描述

表 1-1 功能描述

| 特性     | 规格                                                   |
|--------|------------------------------------------------------|
| 处理器    | Cortex-A55, 8*2.2GHz                                 |
| Cache  | L1: 32kB+32kB独占<br>L2: 每Cluster内共享512kB<br>L3: 共享3MB |
| DDR控制器 | 64bit DDR4/DDR5存储器接口<br>DDR4最高数据率2933Mbps            |



| 特性              | 规格                                                            |
|-----------------|---------------------------------------------------------------|
| Flash接口         | 1个NANDC接口，可以对接NAND Flash<br>1个eMMC接口<br>2个SFC接口，可以对接SPI Flash |
| <b>SerDes接口</b> |                                                               |
| PCIe            | 支持8个PCIe接口，支持8*X1和2*X2和1*X4，每Lane速率支持5G/2.5Gbps               |
| SGMII           | 最多支持26个SGMII GE接口                                             |
| QSGMII          | 最多支持6个QSGMII                                                  |
| XFI             | 最多支持4个10GE ( BASE-R/BASE-R with BR FEC )                      |
| SATA            | 2个SATA接口                                                      |
| <b>通用接口</b>     |                                                               |
| RGMI            | 1个独立的RGMI接口                                                   |
| USB接口           | 2个USB2.0 Host接口 ( 可兼容USB3.0 Device )                          |
| CAN             | 6个CANbus 2.0接口                                                |
| SPI             | 4个SPI接口，每个SPI提供2个片选                                           |
| 其他接口            | UART/I2C/JTAG/localBus/MDIO                                   |

## 1.2.1 处理器特性

- 完整支持ARMv8.2-A A64，和T32指令集。
- 支持RAS extension，ARMv8.3-A extension LDAPR指令，ARMv8.4-A extension Dot Product指令。
- 所有异常等级 ( EL0-3 ) 支持2种执行态 ( AArch32和AArch64 ) 。
- 支持顺序执行的流水线。
- 支持direct和indirect分支预测。
- 每个CPU core支持容量32kB的一级指令Cache和32kB的一级数据Cache。
- 每个CPU core支持容量128kB的二级Cache。
- L1和L2 Cache支持ECC或奇偶校验。
- 集成2级页表硬件转换MMU，支持虚拟地址到物理地址的映射。
- 支持TrustZone安全技术。
- 支持SIMD和浮点指令。
- 支持Cryptographic指令。
- 内部集成了GIC CPU 接口，支持外接GICv3。
- 支持外接64位系统计数器。



- 指令仅支持小端模式，数据支持大小端模式可配置。
- 支持16T物理地址空间（44位物理地址）。
- 基于单线程结构。

## 1.2.2 存储特性

- 支持三级Cache，每个CPU Core集成一个32kB大小的一级指令Cache和一个32kB大小的数据Cache；CPU Cluster（含4个CPU Core）集成一个512kB大小的二级Cache。
- 集成3MB的L3 Cache。
- 支持基于Skyros协议的互联，基于MOESI一致性协议，以Directory结构支持片内L1/L2 Cache、Memory、IO、Accelerator的完全数据一致性互联。
- 提供1个64 bits DDR4/DDR5存储器接口，DDR4最高数据率2933Mbps（2rank支持最高速率为2666Mbps），DDR5最高数据率3200Mbps，可以访问最大16GB外存空间。
- 支持全局的双指令（Exclusive）原子操作，可完成加、减、与、或、SWAP读-改-写原子操作。
- 提供256kB的片上SRAM，SRAM额外支持加、减、与、或的单指令原子操作加速（单次写完成原子操作），支持配置固定空间作为片上安全存储。
- 提供独立的QDMA单元，加速各Memory/IO之间的数据搬运。
- 全系统存储空间的访问支持QoS进行流量管理。
- 提供独立的内存管理单元BMU，支持缓存动态申请和释放，BMU以链表存储块的方式管理内存，并针对报文存储资源提供基于通道和端口的反压与丢弃。

## 1.2.3 加速器特性

- 提供统一的包保序模块POE，用以保证系统中Pipeline或RTC模式处理下包的顺序，并均衡各个处理单元的包处理负载。
- 提供硬件包解析模块PPE，用以在数据通路的GE/XGE接口线速对包基本类型进行解析，将解析结果按照规定格式写入包描述符中，可根据系统缓存状态，对高低优先级报文在端口上采用不同的丢弃策略。
- PPE模块集成44Gbps的LAN Switch，支持基本的L2特性，部分L2+特性。支持MAC侧26个端口，L2表最大支持6K深度，支持入口和出口流表共享768\*80b的TCAM表项。
- 提供统一的流量管理模块TM，该模块可用于系统出口，实现出口TM功能；可对数据流进行QoS处理、队列管理和调度，完成尾丢弃、WRED/RED算法，避免队列拥塞，完成流量整形，包超时丢弃。
- 提供硬件加解密加速模块SEC，可加速认证、数据加解密等安全应用，包括IPSec ESP、AH等协议的安全算法处理；模块提供了DES/3DES、AES、SHA-1、SHA-256/224和MD5算法，及基于SHA-1、SHA-256/224、MD5的HMAC运算、基于AES-CBC的MAC运算、基于AES的CCM运算，DES/3DES和AES分别支持ECB、CBC、CFB、OFB和ECB、CBC、CFB、OFB、CTR几种工作模式。
- 提供模幂运算加速模块HPRE（High Speed RSA Engine），可为RSA加解密（含签名认证）、RSA密钥对生成、DH密钥交换提供硬件加速。



## 1.2.4 接口描述

- 最多支持4个10GE ( BASE-R/BASE-R with BR FEC ) 。
- 最多支持26个GE接口 ( Hi309a可用的SerDes Lane只有10个 ) ； 不支持半双工模式； 1000BASE-X/SGMII支持提频到3.125Gbps。
- 支持6路QSGMII与2个XGE并发。
- 最大支持4路5GBASE-R/ 5GBASE-KR。
- 支持8个PCIe接口，支持8\*x1和2\*x2和1\*x4，每Lane速率支持8Gbps/5Gbps/2.5Gbps。
- 支持10 Lane SerDes，由XGE、GE、QSGMII、PCIe、SATA复用。
- 提供丰富的通用/调试接口包括：
  - 1个NANDC接口，可以对接NAND Flash。
  - 1个eMMC接口。
  - 2个SFC接口，可以对接SPI Flash。
  - 3个独立的10M/100Mbps MII/RMII接口。
  - 1个独立的RGMII接口。
  - 2个USB 2.0 Host接口 ( 可兼容USB3.0 Device ) 。
  - 6个CANBUS2.0接口。
  - 2个UART接口。
  - 10个I2C接口。
  - 4个SPI接口，每个SPI提供4个片选。
  - 7个ESPI接口，提供2个片选。
  - 2个HDLC接口。
  - 4个TDM接口。
  - 1个JTAG接口，支持IEEE1149.1/IEEE1149.6边界扫描，CPU软件调试及芯片内硬件调试，通过JTAG接口进行芯片内硬件调试。
  - 1个AVS电源接口，支持PMBus1.2/IMVP6.5电源协议。
  - 3个MDIO接口。

## 1.2.5 安全特性

- AP ( Application Processor )  
ARMv8架构处理器核，支持Trustzone扩展，即可实现安全/非安全模式切换，只有安全核且访问地址的页表属性为安全 ( NS比特为0 ) ，才能对该地址发起安全访问 ( 总线NS比特为0 ) 。
- 海思安全子系统  
独立增强安全子系统，外部无法访问子系统内部。  
海思安全子系统内集成1个Cortex-M3架构处理器核SC300。  
海思安全子系统内集成抗侧信道攻击的密码算法引擎、密钥管理模块以及SOC设计。  
海思安全子系统启动和运行均独立于主系统。  
具备独立的安全启动ROM code。  
具备独立的安全固件或OS。



具备向主系统提供密钥申请、身份认证等安全应用服务的能力。

支持部署安全启动、软件/固件/密钥/证书的安全升级。

支持镜像加解密和安全校验。

结合高性能CryptoEngine实现业务密钥加密、业务数据安全存储。

JTAG调试功能支持通过eFuse单独关闭。

- 片上存储体系

eFuse：用于记录芯片属性的一次可编程器件，其中安全相关的属性涉及芯片根公钥Hash值、调试模式、JTAG鉴权公钥Hash值等。eFuse非安全部分的数据结构可供各Processor自由读取，安全部分的数据结构需要受到严格的访问控制，甚至不能提供安全Processor访问，Hi309a有四块eFuse，分别是eFuse-DieID、eFuse-soc和海思安全子系统里的两块eFuse-Secure。

ROM：用于存储BSBC，位于海思安全子系统，仅可安全访问。

L3C：即L3 Cache，地址安全属性NS比特是Cacheline的TAGID组成部分，非安全访问没法获取安全属性Cacheline中的内容，安全访问无法获取非安全属性Cacheline中的内容；系统启动时，可以配置为SRAM模式使用。

- 片外存储体系

Flash对于安全而言，主要是存储需要掉电保存的加密过的关键信息，但是Flash本身不具备安全特性。

NANC具备按区域划分访问权限控制的功能。

IFC具备按区域划分访问权限控制的功能。

DDR通过HHA提供了数据存储的安全性划分。

- GIC

支持ARM AArch64安全扩展的中断管理控制器。

- TZPC

TZPC属于安全世界设备，通过TZPC可以将外设配置为安全、非安全或安全可配置设备，分别控制安全访问权限，在Hi309a中只是控制了TIMER。

- CryptoEngine

对称密码算法加速器SEC：

用于完成对称密码学相关的运算。

非对称密码算法加速器HPRE（High Performance RSA and ECC engine）：

用于完成RSA、ECC等非对称密码学相关的运算。

- JTAG-AUTH

JTAG鉴权加速器，用于控制JTAG调试开关。

- WatchDog Timer

整个系统提供2个安全WDT（系统和海思安全子系统各一个）。

## 1.2.6 遵从的标准与协议

Hi309aV100支持以下标准协议：

- PCIe遵从如下标准：
  - PCI Express Base Specification Revision 2.1 Specification.09/2006。
  - PIPE Specification for PCI Express 2.0 Version. 07/2007。
- DDRC遵从如下标准：



- JESD79-4; Sep 2012。
- JESD79-3E; July 2010。
- RSA遵从如下标准:
  - FIPS PUB 186-3 Digital Signature Standard; June 2009。
  - RFC3526 More Modular Exponential ( MODP ) Diffie-Hellman groups for Internet Key Exchange ( IKE ) ; May 2003。
  - RFC2631 Diffie-Hellman Key Agreement Method; June 1999。
  - PKCS #1 v2.1: RSA Cryptography Standard; June 2002。
- SEC遵从如下标准:
  - 算法标准:
    - FIPS PUB 46-3 DATA ENCRYPTION STANDARD ( DES ) ; Oct 1999。
    - FIPS PUB 197 ADVANCED ENCRYPTION STANDARD ( AES ) ; Nov 2001。
    - FIPS PUB 180-2 SECURE HASH SIGNATURE STANDARD ( SHA ) ; Aug 2002。
    - FIPS PUB 198 The Keyed-Hash Message Authentication Code ( HMAC ) ; Mar 2002。
    - NIST Special Publication 800-38A ( 2001 ) : "Recommendation for Block Cipher Modes of Operation"。
    - NIST Special Publication 800-38B ( 2001 ) : "Recommendation for Block Cipher Modes of Operation: The CMAC Mode for Authentication"。
    - RFC 1321 The MD5 Message-Digest Algorithm; Apr 1992。
    - RFC 2104 HMAC: Keyed-Hashing for Message Authentication; Feb 1997。
    - RFC 2202 Test Cases for HMAC-MD5 and HMAC-SHA-1; Sep 1997。
    - RFC 2403 The Use of HMAC-MD5-96 within ESP and AH; Nov 1998。
    - RFC 2404 The Use of HMAC-SHA-1-96 within ESP and AH; Nov 1998。
    - RFC 3566 The AES-XCBC-MAC-96 Algorithm and its Use With Ipsec; Sep 2003。
    - RFC 4493 The AES-CMAC Algorithm; Jun 2006。
    - RFC4309 Using Advanced Encryption Standard ( AES ) CCM Mode with IPsec Encapsulating Security Payload ( ESP ) ; Dec 2005。
    - RFC 4106 The Use of Galois/Counter Mode ( GCM ) in IPsec Encapsulating Security Payload ( ESP ) ; Jun 2005。



- RFC 2451 The ESP CBC-Mode Cipher Algorithms; Nov 1998。
- RFC 3602 The AES-CBC Cipher Algorithm and its Use with IPsec; Sep 2003。
- RFC 3686 Using Advanced Encryption Standard ( AES ) Counter Mode With IPsec Encapsulating Security Payload ( ESP ) ; Jan 2004。
- RFC 2405 The ESP DES-CBC Cipher Algorithm With Explicit IV; Nov 1998。
- 3GPP TS 35.215: "Confidentiality and Integrity Algorithms UEA2 & UIA2; Document 1: UEA2 and UIA2 specifications" ( SNOW 3G ) 。
- 3GPP TS 35.202: 3G Security; Specification of the 3GPP confidentiality and integrity algorithms; Document 2。
- 协议标准:
  - RFC4301 Security Architecture for the internet Protocol; Dec 2005。
  - RFC4303 IP Encapsulating Security Payload ( ESP ) ; Dec 2005。
  - RFC4305 Cryptographic Algorithm Implementation Requirements for Encapsulating Security Payload ( ESP ) and Authentication Header ( AH ) ; Dec 2005。
  - 3GPP TS 36.323 V10.1.0 ( 2011-03 ) Technical Specification。
  - 3GPP TS 33.401 V9.6.0 ( 2010-12 ) Technical Specification。
- GE & XGE & PPE & SPPE遵从如下标准:
  - HiTag;
  - RFC894: A Standard for the Transmission of IP Datagrams over Ethernet Networks, April 1984。
  - RFC2516: A Method for Transmitting PPP Over Ethernet ( PPPoE ) , February 1999。
  - IEEE Std 802.3-2008: Part 3: Carrier Sense Multiple Access with Collision Detection ( CSMA/CD ) Access Method and Physical Layer Specifications, December 2009。
  - IEEE Std 802.1Q-2005: Virtual Bridged Local Area Networks, May 2006。
  - IEEE Std 802.1ah-2008: Virtual Bridged Local Area Networks Amendment 7: Provider Backbone Bridges, August 2008。
  - IEEE Std 802.1ad-2005: Virtual Bridged Local Area Networks Amendment 4: Provider Bridges, May 2006。
  - IEEE Std 802.3ah-2004: Amendment: Media Access Control。
  - Parameters, Physical Layers, and Management Parameters for Subscriber Access Networks, September 2004。
  - IEEE Std 802.1ag-2007: Virtual Bridged Local Area Networks。
  - Amendment 5: Connectivity Fault Management, December 2007。
  - IEEE Std 802.1AB-2009: Station and Media Access Control Connectivity Discovery, September 2009。



- ITU Y.1731-200802: OAM functions and mechanisms for Ethernet based networks, 02/2008。
- RFC3031: Multiprotocol Label Switching Architecture, January 2001。
- RFC3032: MPLS Label Stack Encoding, January 2001。
- RFC826: An Ethernet Address Resolution Protocol or Converting Network Protocol Addresses to 48.bit Ethernet Address for Transmission on Ethernet Hardware, November 1982。
- RFC903: A Reverse Address Resolution Protocol, June 1984。
- RFC791: INTERNET PROTOCOL, September 1981。
- RFC2460: Internet Protocol, Version 6 ( IPv6 ) Specification, December 1998。
- RFC1701: Generic Routing Encapsulation ( GRE ) , October 1994。
- RFC2784: Generic Routing Encapsulation ( GRE ) , March 2000。
- RFC4302: IP Authentication Header, December 2005。
- RFC4303: IP Encapsulating Security Payload ( ESP ) , December 2005。
- RFC793: TRANSMISSION CONTROL PROTOCOL, September 1981。
- RFC768: User Datagram Protocol, August 1980。
- RFC4960: Stream Control Transmission Protocol, September 2007。
- RFC792: INTERNET CONTROL MESSAGE PROTOCOL, September 1981。
- RFC4443: Internet Control Message Protocol ( ICMPv6 ) for the Internet Protocol Version 6 ( IPv6 ) Specification, March 2006。
- RFC3376: Internet Group Management Protocol, Version 3, October 2002。
- RFC2131: Dynamic Host Configuration Protocol, March 1997。
- RFC951: BOOTSTRAP PROTOCOL ( BOOTP ) , September 1985。
- 3GPP TS 29.060 V10.1.0 ( 2011-03 ) : GPRS Tunnelling Protocol ( GTP ) across the Gn and Gp interface ( Release 10 ) 。
- IEEE Std 1588-2008: IEEE Standard for a Precision Clock Synchronization Protocol for Networked Measurement and Control Systems, July 2008。
- ITU Q.922-199202: ISDN DATA LINK LAYER SPECIFICATION FOR FRAME MODE BEARER SERVICES, 1992。
- JTAG遵从如下标准：
  - 1149.6TM IEEE Standard for Boundary-Scan Testing of Advanced Digital Networks。

## 1.3 电气特性

Hi309a芯片具有以下电气特性：

- 芯片Core电压0.8V、1.0V。
- I/O电压如下：
  - DDR4： 1.2V。
  - RGMII/MII0： 1.8V。
  - MDIO/MII1： 1.8V。



- PLL: 1.8V
- 其他: 1.8V。
- 芯片功耗  $\leq 15\text{W}$ 。
- 封装FCBGA, 尺寸 $25\text{mm} \times 25\text{mm}$ 。
- 可工作环境温度:  $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ 。
- 长期工作结温:  $-40^{\circ}\text{C} \sim +105^{\circ}\text{C}$ 。

## 1.4 订购须知

表 1-2 Hi309a 封装尺寸和订购须知

| 产品型号   | 下单型号                  | 丝印           | 封装类型                                   |
|--------|-----------------------|--------------|----------------------------------------|
| Hi309a | PanguM900NPH<br>i309a | PanguM900 NP | FCBGA $25\text{mm} \times 25\text{mm}$ |